

UNITED STATES PATENT AND TRADEMARK OFFICE

VERIFICATION OF A TRANSLATION

I, the below named translator, hereby declare that:

My name and post office address are as stated below;

That I am knowledgeable in the English language and in the Japanese language, and that I believe the English translation of the marked portion of the attached Japanese document is true and complete.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Date: January 30, 2004

Full name of the translator: Nigel David CROSSAN

Signature of translator : 

For and on behalf of RWS Group plc

Post Office Address : Europa House, Marsham Way,
Gerrards Cross, Buckinghamshire,
England.

Record of the results of the prior art search

- Field search IPC 7 G11C 29/00
- Prior art documents Laid-open Patent Application
 H11 - 186354

This record of the results of the prior art search
does not form part of the reasons for refusal.

拒絶理由通知書

特許出願の番号	特願 2 0 0 0 - 1 0 6 1 3 4
起案日	平成 1 5 年 1 1 月 1 0 日
特許庁審査官	長島 孝志 7 8 2 7 5 N 0 0
特許出願人代理人	加藤 朝道 様
適用条文	第 3 6 条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出して下さい。

理 由

この出願は、特許請求の範囲の記載が下記の点で、特許法第 3 6 条第 6 項第 2 号に規定する要件を満たしていない。

記

請求項 3, 7, 8, 1 1, 1 6, 1 9, 2 4 において、「ベースライン」との用語が用いられているが、どのようなものをさすのかが不明瞭である。

(なお、請求項 7 は請求項 6 を引用し、請求項 6 は請求項 2 を引用し、請求項 2 は請求項 1 を引用しているが、請求項 1, 2, 6 には「ベースライン補正手段」との記載はなく、請求項 7 の第 2 行目の「前記ベースライン補正手段」との記載は何をさすのかが不明である。)

よって、請求項 3, 7, 8, 1 1, 1 6, 1 9, 2 4 に係る発明は明確でない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

- ・調査した分野 I P C 第 7 版 G 1 1 C 2 9 / 0 0
- ・先行技術文献 特開平 1 1 - 1 8 6 3 5 4 号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせがございましたら下記までご連絡下さい。

特許審査第4部 情報処理（記憶管理） 長島孝志

TEL. 03 (3581) 1101 内線3584

FAX. 03 (3501) 0737

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186354

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

Z

G 1 1 C 29/00

6 5 5

G 1 1 C 29/00

6 5 5 Z

審査請求 有 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平9-355926

(22) 出願日 平成9年(1997)12月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉本 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

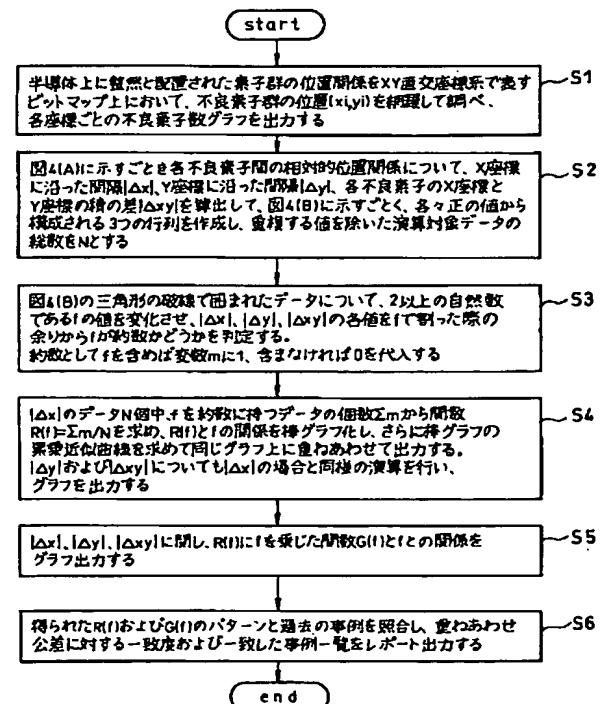
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 半導体集積回路の検査解析装置及びその方法並びにその制御プログラムを記録した記録媒体

(57) 【要約】

【課題】 設計に起因する欠陥とそうでない欠陥とを、各不良素子の間隔の約数の種類とその頻度とを解析することにより、不良原因を定性的かつ定量的に区別できるようにする。

【解決手段】 半導体素子上に配置された回路素子群の位置関係を示すX Y直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出する間隔算出し、これ等算出間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出し、これ等約数 f の種類と個数 Σm とに応じて不良素子の分布と設計規則との関係を判定する。



【特許請求の範囲】

【請求項1】 半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出する間隔算出手段と、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出する約数算出手段と、

これ等約数 f の種類と個数 Σm とに応じて前記不良素子の分布と設計規則との関係を判定する判定手段と、を含むことを特徴とする半導体集積回路の検査解析装置。

【請求項2】 前記判定手段は、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値の夫々の総数 Nx 、 Ny 、 Nxy としたときの各関数 $R(x, f) = \Sigma m / Nx$ 、 $R(y, f) = \Sigma m / Ny$ 、 $R(xy, f) = \Sigma m / Nxy$ を算出し、

これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定することを特徴とする請求項1記載の半導体集積回路の検査解析装置。

【請求項3】 前記判定手段は、更に前記各関数に夫々 f を乗じた関数 $R(x, f) * f$ 、 $R(y, f) * f$ 、 $R(xy, f) * f$ を算出し、これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定することを特徴とする請求項2記載の半導体集積回路の検査解析装置。

【請求項4】 前記判定手段は、前記約数 f 中の素数成分に相当する前記各関数の個々の値が他の約数のものに比して大なる場合は、前記不良素子は不規則な位置関係にあると判定することを特徴とする請求項2または3記載の半導体集積回路の検査解析装置。

【請求項5】 前記不規則な位置関係と判定された場合は、製造歩留まりの低下と判定することを特徴とする請求項4記載の半導体集積回路の検査解析装置。

【請求項6】 前記判定手段は、前記約数 f 中の2の累乗成分に相当する前記各関数の個々の値が他の約数のものに比して大なる場合は、前記不良素子は設計規則と関係があると判定することを特徴とする請求項2または3記載の半導体集積回路の検査解析装置。

【請求項7】 半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出するステップと、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出するステップと、

これ等約数 f の種類と個数 Σm とに応じて前記不良素子

の分布と設計規則との関係を判定する判定ステップと、を含むことを特徴とする半導体集積回路の検査解析方法。

【請求項8】 前記判定ステップは、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値の夫々の総数 Nx 、 Ny 、 Nxy としたときの各関数 $R(x, f) = \Sigma m / Nx$ 、 $R(y, f) = \Sigma m / Ny$ 、 $R(xy, f) = \Sigma m / Nxy$ を算出するステップと、これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定するステップと、を含むことを特徴とする請求項7記載の半導体集積回路の検査解析方法。

【請求項9】 前記判定ステップは、更に、前記各関数に夫々 f を乗じた関数 $R(x, f) * f$ 、 $R(y, f) * f$ 、 $R(xy, f) * f$ を算出するステップと、

これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定するステップと、を含むことを特徴とする請求項8記載の半導体集積回路の検査解析方法。

【請求項10】 半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出するステップと、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出するステップと、

これ等約数 f の種類と個数 Σm とに応じて前記不良素子の分布と設計規則との関係を判定する判定ステップと、を含む半導体集積回路の検査解析方法をコンピュータに実行させるためのプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路の検査解析装置及びその方法並びにその制御プログラムを記録した記録媒体に関し、特に半導体素子上に整然と配置された回路素子群を含む半導体集積回路の検査解析方式に関するものである。

【0002】

【従来の技術】 回路素子群を半導体上に整然と配置して構成された集積回路の検査解析においては、不良回路素子の位置を、半導体上の回路素子配置に模して整然と記録することにより、半導体集積回路上の不良素子分布を視覚的に一目瞭然に把握可能である。

【0003】 例えば、回路素子群を駆動する回路がブロック分割されており、各ブロックに分まれる素子全てが不良の場合にはブロック不良と判定し、また、1本の配

線を共有する素子全てが不良の場合には配線不良と判定し、更には、素子1個が単独で不良の場合には1ビット不良と判定し、更にはまた、隣接する素子が塊状に不良の場合には群ビット不良と判定することができるものである。

【0004】この様な検査解析方法はビットマップ解析技術と称されるものであり、メモリLSIに代表される半導体集積回路装置の不良解析に有効であるが、半導体の高集積化に伴って回路素子群の数が百万個以上になると、人手による全数解析が困難となっている。

【0005】また、特開昭61-23327号公報に開示の技術では、不良品の欠陥の発生箇所を検知して、この欠陥の種類から製造工程上のミスを発見して修正をなすことにより、根本的に不良品が生じない様にする技術である。すなわち、良/不良の生産ラインの試験をするのではなく、不良の装置を検査して夫々の不良が何処で生じたかの具体的な詳細を検出するものである。

【0006】例えば、記憶装置において、所期のフィールド酸化物が存在していないことにより、隣接する2つのコンデンサが基板を通る短絡部を有する場合、対応するメモリアレイの行及び列に対して1つずつ2つのビットに対して不良が表示され、ADSEL（アドレス選択の略号）アルゴリズムの不良パターンから、欠陥場所を求めるものである。

【0007】記憶装置の配列欠陥の種類と分布と所定の日の分布とを、それまでのデータと比較して、製造作業の特定の工程における時間、温度、または材料の走査が仕様通りでなかったためであると判定されると、特定の不良メカニズムを切離す様になっている。

【0008】

【発明が解決しようとする課題】上述の特開昭61-23327号公報に開示の技術では、設計に起因する欠陥とそうではない製造上に起因する欠陥との判別は不可能であり、よって、半導体集積回路において、人間の目には一見不規則に見える不良素子分布の場合には、分布形状の特徴から不良原因を推定することは困難であり、製造歩留まりの向上ができないという欠点がある。

【0009】そこで、本発明はかかる従来技術の欠点を解消すべくなされたものであって、その目的とするところは、設計に起因する欠陥とそうでない欠陥とを、各不良素子の間隔の約数の種類とその頻度とを解析することにより、不良原因を定性的かつ定量的に区別できるようにした半導体集積回路の検査解析装置及びその方法並びにその制御プログラムを記録した記録媒体を提供することである。

【0010】

【課題を解決するための手段】本発明によれば、半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$

と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出する間隔算出手段と、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出する約数算出手段と、これ等約数 f の種類と個数 Σm とに応じて前記不良素子の分布と設計規則との関係を判定する判定手段と、を含むことを特徴とする半導体集積回路の検査解析装置が得られる。

【0011】そして、前記判定手段は、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値の夫々の総数 Nx 、 Ny 、 Nxy としたときの各関数 $R(x, f) = \Sigma m / Nx$ 、 $R(y, f) = \Sigma m / Ny$ 、 $R(xy, f) = \Sigma m / Nxy$ を算出し、これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定することを特徴とする。

【0012】また、前記判定手段は、前記各関数に夫々 f を乗じた関数 $R(x, f) * f$ 、 $R(y, f) * f$ 、 $R(xy, f) * f$ を算出し、これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定することを特徴とする。

【0013】更に、前記判定手段は、前記約数 f 中の素数成分に相当する前記各関数の個々の値が他の約数のものに比して大なる場合は、前記不良素子は不規則な位置関係にあると判定することを特徴とし、前記不規則な位置関係と判定された場合は、製造歩留まりの低下と判定することを特徴とする。

【0014】更にはまた、前記判定手段は、前記約数 f 中の偶数成分に相当する前記各関数の個々の値が他の約数のものに比して大なる場合は、前記不良素子は設計規則と関係があると判定することを特徴とする。

【0015】本発明によれば、半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出するステップと、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出するステップと、これ等約数 f の種類と個数 Σm とに応じて前記不良素子の分布と設計規則との関係を判定する判定ステップと、を含むことを特徴とする半導体集積回路の検査解析方法が得られる。

【0016】そして、前記判定ステップは、前記間隔 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各値の夫々の総数 Nx 、 Ny 、 Nxy としたときの各関数 $R(x, f) = \Sigma m / Nx$ 、 $R(y, f) = \Sigma m / Ny$ 、 $R(xy, f) = \Sigma m / Nxy$ を算出するステップと、これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定するステップとを含むことを特徴とする。

【0017】更に、前記判定ステップは、前記各関数に夫々 f を乗じた関数 $R(x, f) * f$, $R(y, f) * f$, $R(xy, f) * f$ を算出するステップと、これ等各関数の個々の f に対する値を参照して、これ等各値の前記約数 f に対する分布状態に応じて前記不良素子の分布と設計規則との関係を判定するステップとを含むことを特徴とする。

【0018】本発明によれば、半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出するステップと、前記間隔 $|\Delta x|$, $|\Delta y|$, $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出するステップと、これ等約数 f の種類と個数 Σm とに応じて前記不良素子の分布と設計規則との関係を判定する判定ステップと、を含む半導体集積回路の検査解析方法をコンピュータに実行させるためのプログラムを記録した記録媒体が得られる。

【0019】本発明の作用を述べる。半導体素子上に配置された回路素子群の位置関係を示すXY直交座標系において、これ等回路素子のうち不良素子相互間のX方向の間隔 $|\Delta x|$ と、Y方向の間隔 $|\Delta y|$ と、X座標にY座標を乗じた間隔 $|\Delta xy|$ とを全て網羅し算出する間隔算出し、これ等算出間隔 $|\Delta x|$, $|\Delta y|$, $|\Delta xy|$ の各値に対する約数 f とこれ等各約数の個数 Σm とを夫々算出し、これ等約数 f の種類と個数 Σm とに応じて不良素子の分布と設計規則との関係を判定するようにする。

【0020】多くのメモリLSIは、例えば、1個の電極を2個のメモリ素子が共有したり、配線を2本単位や4本単位で駆動したり、4本の配線を駆動する回路を左右対称に配置(8本単位)したり、一つの駆動回路が16本の配線を駆動するという様に、2の累乗の規則に従って回路設計やレイアウトがなされている。つまり、メモリLSIの設計規則は3, 5, 7, 9, 11, 13, 17, 19, ……といった素数を含んでいないので、素子間隔の約数に2以外の素数を多く含む不良素子分布は、回路設計やレイアウト設計とは異なる不良原因から発生していると推定することができる。

【0021】従って、素子間隔の約数に設計規則と無関係の素数を含む不良素子分布を検出し、半導体集積回路の製造歩留まりとの関係を照合するようにした本発明により、従来は困難とされてきた不規則分布を示す不良原因の検出及び解析に有効な手法が提供できることになる。

【0022】

【発明の実施の形態】以下に、図面を参照しつつ本発明の実施の形態につき詳述する。

【0023】図1は本発明が適用される半導体集積回路

の検査解析システムの概略ブロック図である。図1において、半導体集積回路試験装置1は予め定められた試験プログラムに従って被試験LSIに対する処理を実行し、当該LSIの試験結果を生成する機能を有する。

【0024】不良素子分布(ビットマップ)作成装置2は、この試験結果に含まれる不良素子の電氣的アドレス座標を半導体回路上のレイアウトに合せて再配置した結果を、不良素子分布データ、すなわちビットマップデータとして出力する機能を有する。

10 【0025】データ処理部3はこのビットマップデータ(図11に例を示す)を入力として、本発明による検査解析処理をなす機能を有しており、この検査解析処理手順のプログラムはROM等の記録媒体4に予め記録されているものとする。このデータ処理部3は、図2に示す如く、ビットマップデータから不良素子間隔を算出する不良素子間隔算出部31と、この算出された不良素子間隔に含まれる約数 f の種類及び個数を算出する約数算出部32と、これ等約数 f の種類と個数とに応じて不良素子の分布と設計規則との関係を判定する判定部33とからなっている。

【0026】図3は図1におけるデータ処理装置3の処理の流れを示すフローチャートであり、図2の各部31~33の操作手順を示すフローチャートでもある。この図3を参照しつつ、本発明の実施例の動作を述べる。

【0027】被検査対象であるメモリLSI上に整然と配置された回路素子群の位置関係をXY直交座標系で表すビットマップ上において、図4(A)の黒点で示す不良素子群の位置(x_i, y_i)を全て網羅して調べ、不良素子数のX座標、Y座標及びXY座標依存性を調べる。すなわち各座標毎の不良素子数のグラフを出力する(ステップS1)。

【0028】次に、図4(B)の破線で示す各不良素子間の相対的位置関係について、X座標に沿った間隔 $|\Delta x|$ 、Y座標に沿った間隔 $|\Delta y|$ 、各不良素子のX座標とY座標との積の差 $|\Delta xy|$ の値(絶対値)を算出する。この場合、 $|\Delta xy|$ を算出する根拠は、X座標とY座標との組合せに依存する不良原因の検出及び解析を行うためである。

【0029】以上の算出結果を基に、図4(B)に示す3種の行列を作成する。すなわち、各不良素子相互間におけるX座標に沿う間隔 $|\Delta x|$ の行列と、Y座標に沿う間隔 $|\Delta y|$ の行列と、X座標とY座標との積の差 $|\Delta xy|$ の行列との3種である。

【0030】これ等行列中の中には重複するデータが含まれるので、以下において、実際に演算するデータは図4(B)において、三角形の破線で囲まれたデータ群(総数N個)だけである。これ等、演算対象のデータ総数をNとする(ステップS2)。

【0031】次に、これ等図4(B)の三角形破線で囲まれたデータについて、 $|\Delta x|$, $|\Delta y|$, $|\Delta xy|$

y | の各値を f (f は 2 以上の自然数で最大値 v は X , Y , XY の $1/2$ を超えない値) で割り切れるか否かを調べる。すなわち、図 4 (B) の三角形の破線で囲まれたデータ群が、各々 f を約数に有するかどうかを判定するものであり、割り切れる場合には変数 m の値を 1 とし、割り切れなければ変数 m の値は変化しない (ステップ S 3)。

【0032】次に、 $|\Delta x|$ の行列中における三角形破線で囲まれたデータ N 個中、 f を約数に有するデータの個数 Σm から関数 $R(f) = \Sigma m / v$ を求め、 f との関係を図 5 の如くグラフ化することにより、 X 座標方向の各不良素子間の間隔に含まれる任意の約数 f の種類及び f の含有率を知ることができる。

【0033】この図 4 に示す棒グラフは $R(f)$ の実測値、破線グラフは累乗近似曲線 $R(f) = 0.5954 * f^{-0.8417}$ である (ステップ S 4)。

【0034】この時、 $R(f)$ と f との関連から不良素子分布と f との関係が判読しづらい場合は、この $R(f)$ に f を乗じた関数 $G(f)$ との関係を図 6 に示す如くグラフ化すると、より解説が容易となる (ステップ S 5)。

【0035】この事例では、約数 f 中素数 5, 13, 23, 29, 31 を約数として多く含む素子間隔の不良分布があることが明瞭となっている。この素数を約数に多く含むということは、上述した様に、設計に起因しない不良原因、すなわち製造上の過程 (歩留まり低下) での原因と考えられ、よって設計者へのフィードバックは不要であり、むしろ設計者以外へのフィードバックが必要となる。

【0036】 $|\Delta y|$, $|\Delta xy|$ についても、上記の $|\Delta x|$ についてと同様の処理を行う。

【0037】そして、最後に、得られた $R(f)$, $G(f)$ のパターンを過去の事例と夫々照合して、重ね合せ公差 (例えば各 f 値に対する $R(f)$, $G(f)$ の値のずれが、信頼性水準 10% 未満である等) に対する一致度及び一致事例一覧をレポート出力する (ステップ S 6)。

【0038】被検査素子が、例えば DRAM 素子の場合、その回路設計においては、まず、行 1 ビット \times 列 1 ビットから構成される 4 ビットの基本マスクを設計する。この基本マスクを行方向に 2 個並べた行 2 ビット \times 列 4 ビットを 1 組とし、これを 512 個並べることにより、行 1024 ビット \times 列 4 ビットのマスクとする。

【0039】このマスクを次々に配置していくと、行 2048 ビット \times 列 4096 ビット + 周辺回路 + 共通配線 + 周辺回路 + 行 2048 ビット \times 列 4096 ビットとなり、16M ビット DRAM の設計が完了する。

【0040】この時、各行、各列を駆動する回路は階層的駆動回路となっており、2 の累乗や 4 の累乗、または 8 の累乗、あるいは、2 の累乗と 4 または 8 の累乗との

組合せで配置される。例えば、親回路が 2 個や 4 個、または 8 個の子回路を駆動し、子回路も 2 個や 4 個または 8 個の孫回路を駆動するという様に、階層的な構造となっている。

【0041】以上の設計過程で注意すべきことは使用されている数値が全て 2 の n 乗ということである。つまり、DRAM の不良において設計に起因する不良は、全て 2 の n 乗を約数に持つ間隔で発生することになる。例えば、列方向 1024 番目 (アドレスは 0 から始まるので、列アドレスは 1023) の配線の駆動回路に設計上問題がある場合、駆動回路を共有する列のアドレスも影響を受ける場合が多く、単独不良でない可能性が高くなる。

【0042】この場合、不良アドレス 1023 と隣接する 1022 や 1024 の他に、1021, 1025 等の $2n$ や、1019, 1027 等の $4n$ や、 $8n$, $16n$ や、更には 2047, 3071, 4095 等の 2 の 10 乗、つまり 1024 n の間隔等まで不良が分布する可能性がある。

【0043】従って、2 の n 乗でない間隔の不良は、設計原因ではない不規則性原因、例えば、ゴミの付着や汚れ等の製造工程上の原因の可能性が高いと推定できることになる。

【0044】図 5, 6 の例は不規則性の強い不良素子分布の例であったが、図 7, 8 に上述した設計規則による規則性の強い不良素子分布の例を示す。

【0045】図 7 は $R(f)$ と f との関係を、図 8 は $G(f)$ と f との関係を夫々示している。

【0046】図 7, 8 においては、図 5, 6 の場合に比較して、 f が偶数 (2 の n 乗を含む) の時の $R(f)$, $G(f)$ の値が他と際立って高いことから、不良素子 2 個または配線 2 本を 1 単位とする設計原因の不良を含むと推定できる。

【0047】更に、過去の半導体集積回路の製造歩留まり低下事例における f と $R(f)$ 及び $G(f)$ との関係を、データベースに保存しておくことにより、 $R(f)$ や $G(f)$ の値をキーワードとして類似パターンを有する不良原因を短時間で検出できることになる。

【0048】図 9 及び図 10 は図 3 のフローチャートにおけるステップ S 2 ~ S 5 の詳細を示すフローチャートである。図 9 において、ステップ S 11 は初期化処理のステップを示しており、約数 f を初期値 2 とし、その終端値 v_x , v_y (x , y 方向の終端値) を定義する。

【0049】また、図 4 (B) に示した配列 $|\Delta x|$, $|\Delta y|$, $|\Delta xy|$ 及びこれ等各配列の各データの要素を読み込むための配列 $|\Delta|$ を宣言する。更に、 $|\Delta x|$ に対する関数 $R(x, f)$, $G(x, f)$, $|\Delta y|$ に対する関数 $R(y, f)$, $G(y, f)$, $|\Delta xy|$ に対する関数 $R(xy, f)$, $G(xy, f)$ 等の宣言を行う。

【0050】 $|\Delta x|$ 、 $|\Delta y|$ 、 $|\Delta xy|$ の各不良素子数 n 、それ等の解析処理対象数 $N = (n * n - n) / 2 = n(n-1) / 2$ 等、プログラム中で使用する変数を宣言して値を初期化する。

【0051】次のステップS12においては、半導体上に整然と配置された素子群の位置関係をXY直交座標系で表すビットマップ上において、不良素子の分布位置 (x_i, y_i) を網羅して調べ、X座標及びY座標毎の不良素子密度を求める。

【0052】次のステップS13においては、配列 $|\Delta|$ に不良素子間隔のデータ $|\Delta x|$ の要素を読み込む。そして、次のステップS14では、 $|\Delta|$ の各要素であるところの $|\Delta x|$ の行の値 k を初期値1から終端値 n まで1ずつ増分し、各行の値に対して別の値 j を初期値1から終端値 n まで1ずつ増分する。この時、行と列との値が等しくなると、ジャンプ先(S16)までジャンプする。

【0053】ステップS15においては、式①に従って、約数 f で割り切れるかどうかを調べる。この時、余剰が0ならば、変数 m に1を代入し、そうでなければ0を代入する。N個の要素に対して、 f の各値における式①の値を夫々調べ、変数 m を配列NR(f)に累算する。

【0054】この場合、 $f = i$ を約数に有する要素の数だけ $m = 1$ となるので、例えば、15個の要素中、3個が $|\Delta| = 39$ であるとする、39は3と13とを約数に持つので、式①は $f = 3$ 、13、39の時に各3回成立する。従って、式②は累算の結果、

$NR(f=3) = 3$
 $NR(f=13) = 3$
 $NR(f=39) = 3$
 となる。

【0055】ステップS16において、約数 f の値を1増分し、また列の値 j が終端値 n に達していない場合、その値を増分するステップS14へ戻り、行の値 k が終端値 n に達していない場合もステップS14へ戻る。

【0056】ステップS17においては、上述のステップで得られた $R(f)$ 、 $G(f)$ の各 f に対する関係を出力するものである。

【0057】以上の実施例では、被検査対象をメモリLSIとしているが、カラー液晶表示装置や、カラープラズマ発光表示装置や、カラー画像撮像装置、更には3色印刷装置等に対する検査としても適用することができる。

【0058】この場合、システム構成や処理の流れは上記実施例と同じであるが設計規則に関係の深い約数としては、3を加えて2及び3以外の素数を約数に多く含む程、不良素子分布は不規則な位置関係にあると判定できる。

【0059】すなわち、カラーを扱うICが3原色に相

当する素子を一つの単位としており、一つの電極や配線を共有し(2単位)、これ等を左右対称にしたもの(4単位)が繰返されるという様に、3に2の累乗をかけた設計規則を用いた点を利用している。

【0060】

【発明の効果】以上述べた如く、本発明によれば、不良素子分布の規則性と不規則性との分離自動化を可能としたもので、図11のビットマップの例に示す如く、人間の目では不規則に見えて解析不可能とあきらめていた不良素子分布であっても、不良原因と不良素子分布状態との関連付けができるという効果がある。

【0061】つまり、人間が分布形状をはっきり認識できない離散的かつ低濃度または複合的かつ高濃度の不良素子分布であっても、 $R(f)$ と $G(f)$ を常時監視すれば、設計上のマージン不足による歩留まり低下の前駆現象を2の累乗(設計規則と関係有り)成分の増加として検出でき、設計以外の不良原因による前駆現象を3以上の素数(設計規則と無関係)成分の増加として検出できる。

【図面の簡単な説明】

【図1】本発明が適用されるLSI検査解析システムの概略構成を示す図である。

【図2】図1のデータ処理装置3の簡略機能ブロック図である。

【図3】本発明の実施例の処理動作を示すフローチャートである。

【図4】(A)はビットマップ上における不良素子の配置例を示す図、(B)はこの場合の不良素子間隔の各データ配列を示す図である。

【図5】関数 $R(f)$ と約数 f との関係を示す例であり、不規則性の強い不良素子分布の場合のグラフの例である。

【図6】関数 $G(f)$ と約数 f との関係を示す例であり、不規則性の強い不良素子分布の場合のグラフの例である。

【図7】関数 $R(f)$ と約数 f との関係を示す例であり、規則性の強い不良素子分布の場合のグラフの例である。

【図8】関数 $G(f)$ と約数 f との関係を示す例であり、規則性の強い不良素子分布の場合のグラフの例である。

【図9】本発明の実施例の動作の詳細を示すフローチャートの一部である。

【図10】本発明の実施例の動作の詳細を示すフローチャートの一部である。

【図11】メモリLSIの不良素子分布であるビットマップ例を示す図である。

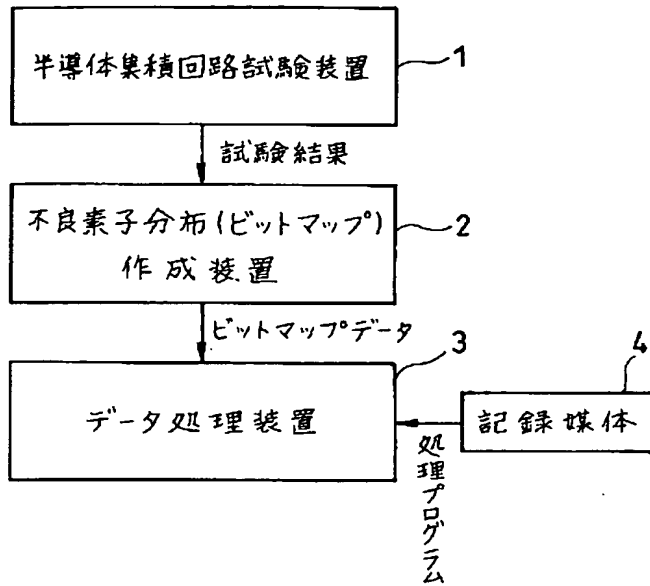
【符号の説明】

- 1 半導体集積回路試験装置
- 2 不良素子分布作成装置

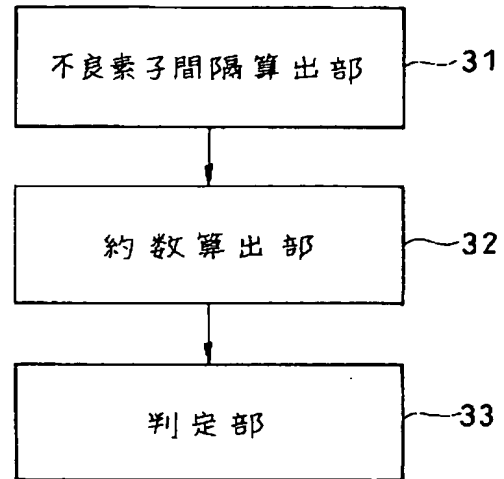
- 3 データ処理装置
4 記録媒体
3 1 不良素子間隔算出部

- 3 2 約数算出部
3 3 判定部

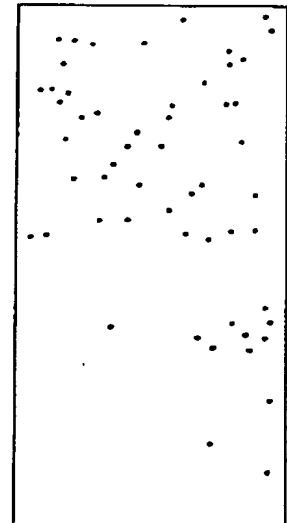
【図 1】



【図 2】



【図 1 1】



【図 4】

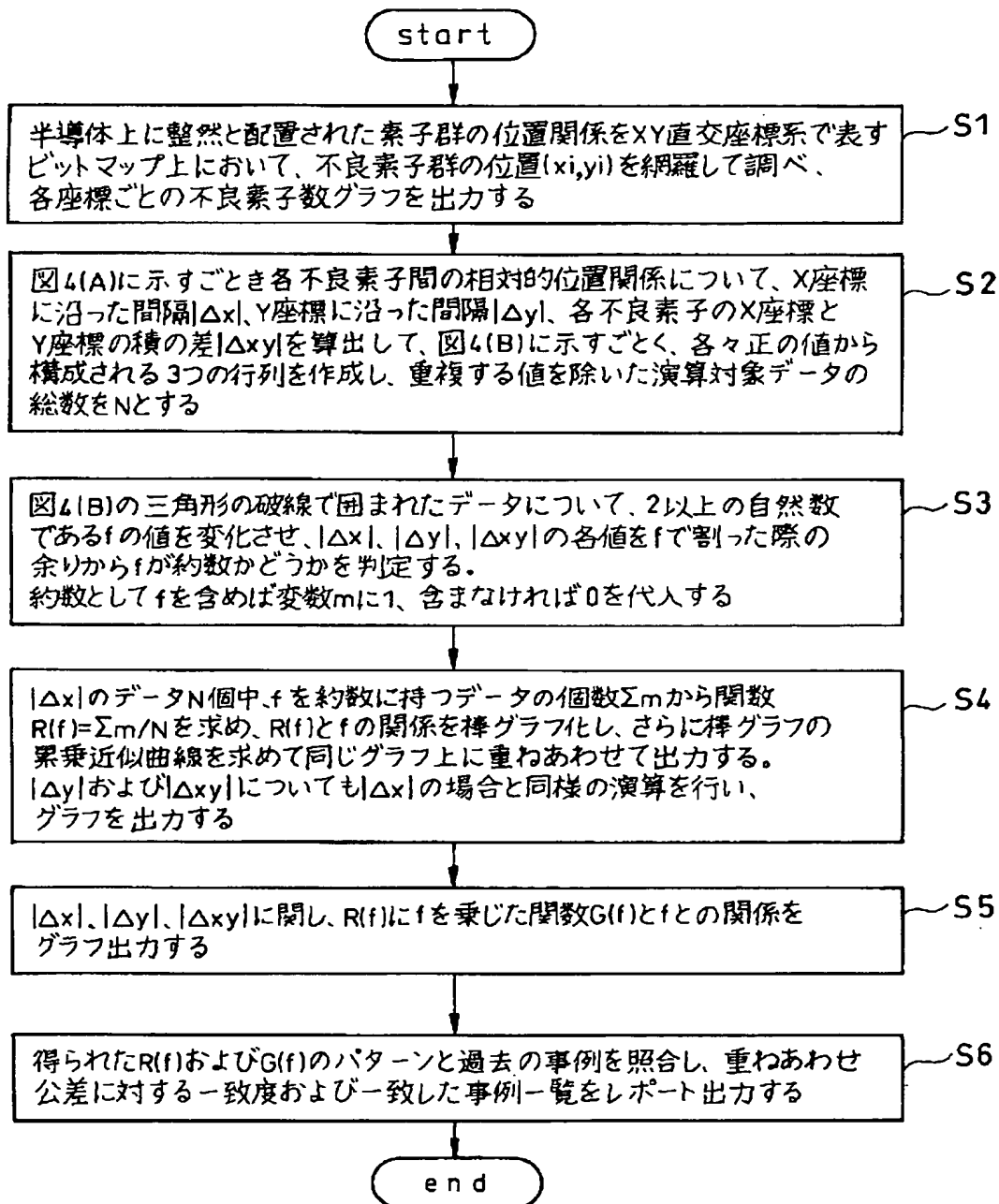


(B)

実際の
演算対象

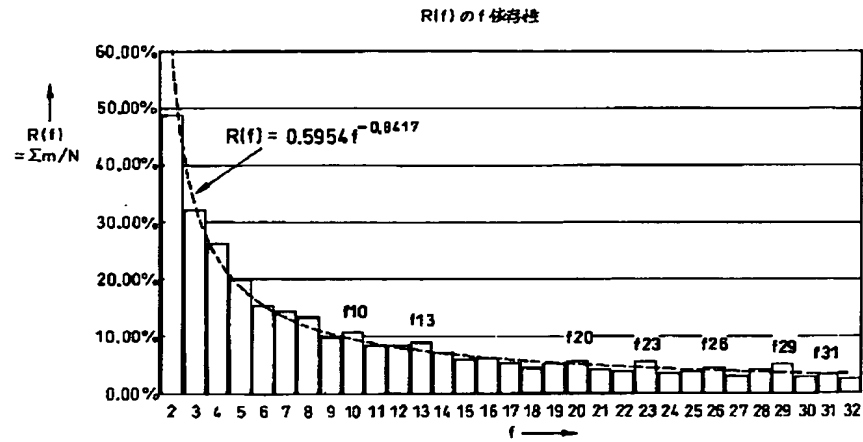
Δx					Δy					Δxy				
	x1	x2	x3	xn		y1	y2	y3	yn		xy1	xy2	xy3	xyn
x1	0	x21	x31	xn1	y1	0	y21	y31	yn1	xy1	0	xy21	xy31	xyn1
x2	x12	0	x32	xn2	y2	y12	0	y32	yn2	xy2	xy12	0	xy32	xyn2
x3	x13	x23	0	xn3	y3	y13	y23	0	yn3	xy3	xy13	xy23	0	xyn3
xn	x1n	x2n	x3n	0	yn	y1n	y2n	y3n	0	xyn	xy1n	xy2n	xy3n	0

【図3】



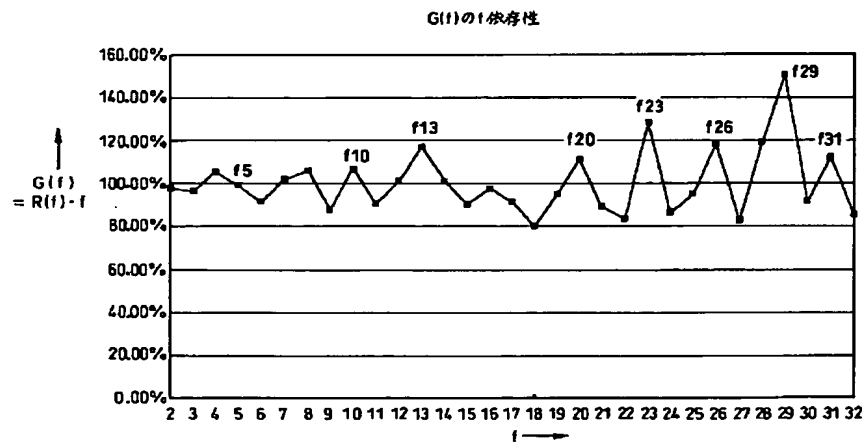
【図 5】

R(f)とfとの関係を示すグラフ例(不規則性の強い不良素子分布)



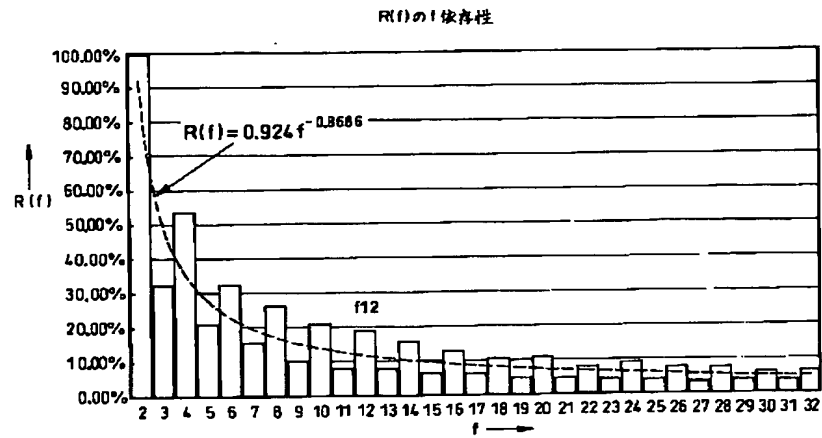
【図 6】

G(f)と約数fとの関係を示すグラフ例(不規則性の強い不良素子分布)



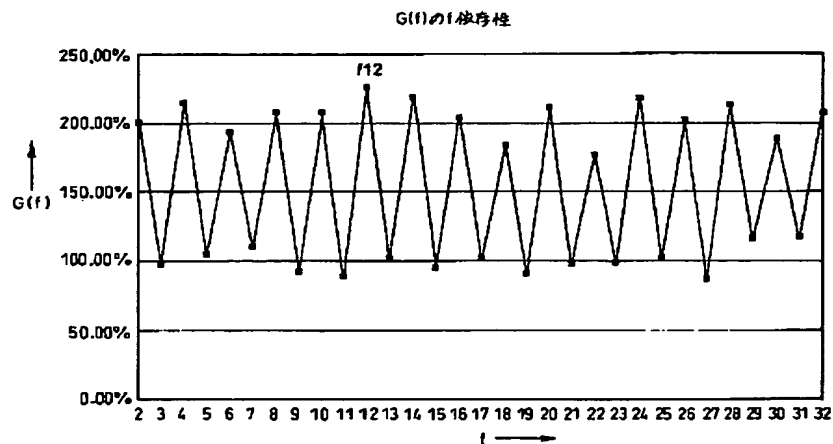
【図 7】

$R(f)$ と f との関係を示すグラフ例(規則性の強い不良素子分布)



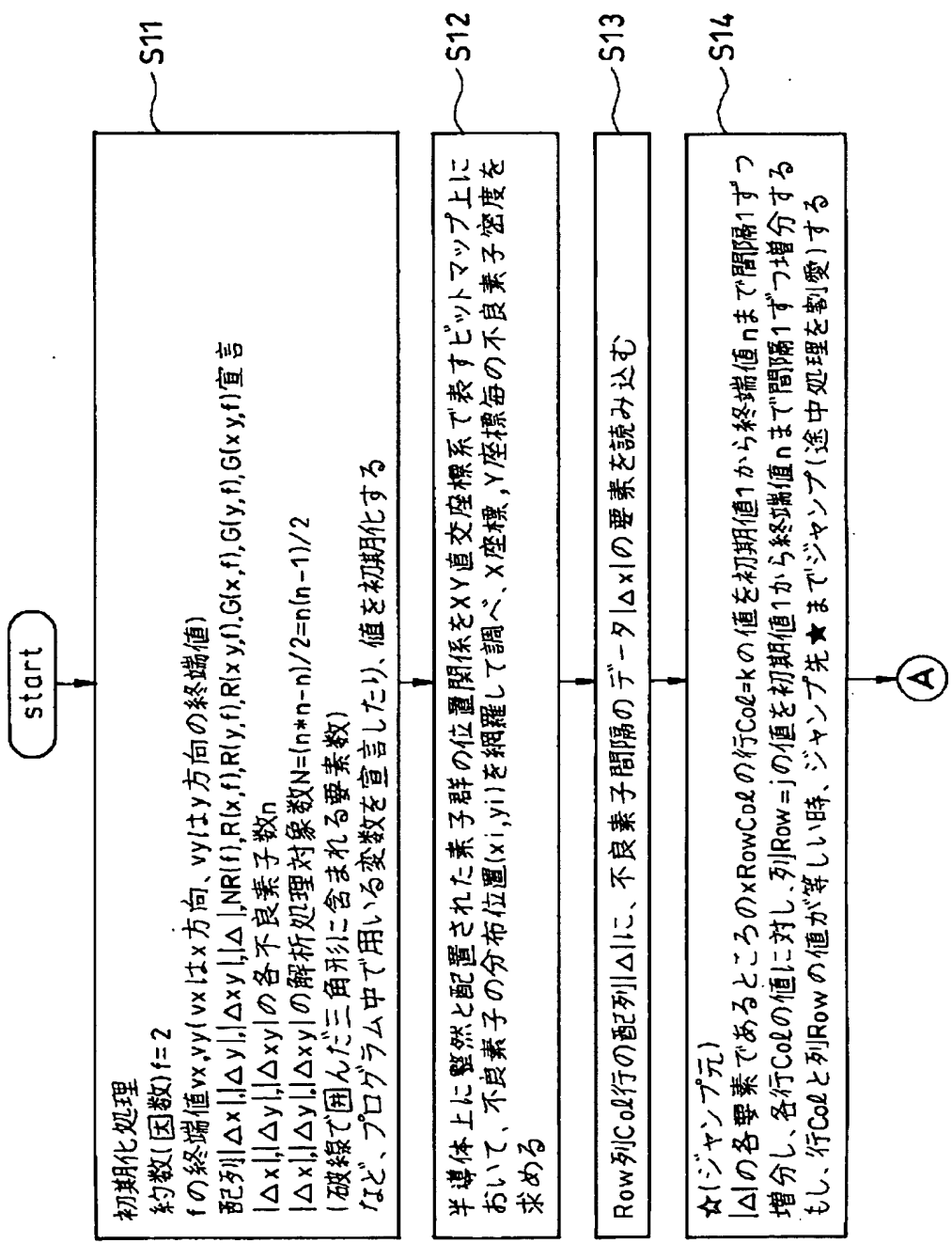
【図 8】

$G(f)$ と約数 f との関係を示すグラフ例(規則性の強い不良素子分布)



(1)

【図9】



【図10】

